

PAT-NO: JP401319094A
DOCUMENT-IDENTIFIER: JP 01319094 A
TITLE: MATRIX TYPE PLATE DISPLAY DEVICE

PUBN-DATE: December 25, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
ADACHI, KATSUMI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP63150739

APPL-DATE: June 17, 1988

INT-CL (IPC): G09G003/20 , H04N005/66

US-CL-CURRENT: 345/99

ABSTRACT:

PURPOSE: To operate the title device with high-speed clocks by delaying the clocks in corresponding to the delay of a start pulse between signal line driving ICs.

CONSTITUTION: Clocks become dull in waveform and, at the same time, are delayed by means of an LPF (low-pass filter) constituted of resistances 206 and 207 and **capacitor 209** between signal driving IC 108 and 109. Therefore, the clock of the driving IC 109 delayed from the driving IC 108 by the LPF can catch a start pulse and the IC 109 can operate normally. When patterns of a clock wiring section 114 and electrode section 201 are changed, the characteristics of the LPF can be adjusted against the frequency of a used clock

and characteristics of the ICs 108 and 109. Therefore, the signal line driving ICs can be operated with high-speed clocks.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-319094

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月25日

G 09 G 3/20
H 04 N 5/666376-5C
B-7605-5C

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 マトリクス型平板表示装置

⑰ 特 願 昭63-150739

⑱ 出 願 昭63(1988)6月17日

⑲ 発 明 者 足 達 克 己 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

マトリクス型平板表示装置

2. 特許請求の範囲

(1) 複数の信号線と複数の走査線を備えた平板表示パネルと、前記信号線を駆動する複数の信号線駆動ICと、複数または単数の走査線駆動ICと、前記信号線駆動ICは表示信号をサンプリングし一走査期間保持する信号線相当数の表示信号保持回路と、前記表示信号保持回路のサンプリングパルスを供給する信号線相当数のシフトレジスタと、前記信号線駆動IC間に前記シフトレジスタのクロック遅延手段を設けたことを特徴とするマトリクス型平板表示装置。

(2) 信号線駆動ICの内部に遅延手段を設けたことを特徴とする請求項1記載のマトリクス型平板表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は液晶、EL等を用いた大容量のマトリ

クス型平板表示装置に関し、信号線駆動ICのクロック周波数の高速化を可能とするものである。

従来の技術

従来のマトリクス型平板表示装置として第7図に液晶パネルを例にとり、図と共に説明する。第7図において101はガラス等でできた透明基板、102も透明基板であり、この間に液晶が封止されている。103は偏光板、104は外部と電気接続を行なうフラットケーブルである。105から110までは信号線駆動IC、111と112は走査線駆動ICである。フラットケーブルから供給される信号と電源により信号線駆動IC105から110と走査線駆動IC111と112は所定の波形を発生し、それぞれ接続された電極線を駆動して画面表示を行なう。液晶そのものの動作原理は本発明の範囲を超えるので説明を省略する。

この第7図の例は駆動ICそのものを直接基板上に実装しており、信号線駆動IC108、109近辺の詳細を第8図に示す。第8図において1

13から117は信号線駆動IC108と109の入力配線であり、113はスタートパルス配線部、114はクロック配線部、115はグラウンド配線部、116は電源配線部、117は表示信号配線部である。駆動ICと各配線部の接続は118のワイヤボンディングで行なっている。119は液晶パネルの信号線で、120は信号線駆動IC108の出力と信号線119の接続を行なうワイヤボンディングである。121は画面領域でこの中に走査線122があり、信号線119と走査線122の交点近傍に画素電極123とTFT(Thin Film Transistor)等のスイッチ素子124が配置される、いわゆるアクティブマトリクス型液晶パネルである。

次に信号線駆動ICの内部構成について第9図と共に説明する。信号線駆動ICは三つの部分大別できる。一つは第9図に示すシフトレジスタ125で、もう一つはサンプルホールド回路126であり、最後の一つはバッファ回路127である。おのおのの回路はそれぞれ一つずつ組となって1

像表示を行なうのである。

表示パネルが大容量化するとシフトレジスタのクロック周波数が高速となり、シフトレジスタが動作できないという問題点があった。このクロック周波数は次式で表わされる。

$$f_{clk} = N h / H$$

ここで f_{clk} :クロック周波数 $N h$:信号線数 H :有効水平走査期間である。通常のNTSC方式においてさえ $N h$ を通常のCRT並の600程度にすると H は約50 μ sなので f_{clk} は12MHzとなり、かなりの高速動作可能なICが必要となる。この領域は5V程度の低電圧であれば十分可能であるが、信号線駆動ICのように15V程度の高耐圧ICでは困難であった。

次に高速のクロックで動作できない状態を第10図の波形図と共に説明する。第10図(a)はシフトレジスタのクロック波形である。(b)はシフトレジスタの一段めの出力波形であり、破線が遅延のない理想波形、実線が実際の波形を示す。(c)は二段めの出力波形であり、ほぼ限界動作

チャンネルを構成し、信号線駆動IC全体で接続される信号線に相当する数のチャンネルがある。

第9図の入力端子113aは第8図のスタートパルス配線部113に接続されたスタートパルス端子、114aはクロック入力端子、117aは表示信号入力端子である。119aは信号線に接続された出力端子、114aはつぎの信号線駆動ICにスタートパルスを供給するための出力端子であり、バッファ128を介してシフトレジスタ最終段の出力をここから次の信号線駆動ICへ供給する。

シフトレジスタ125は端子113aから入力されスタートパルスを、端子114aから入力されたクロックの周期に従って順次送っていく。サンプルホールド回路126はシフトレジスタ125の出力をサンプル信号として端子117aから入力された表示信号をサンプルする。このサンプルホールドされた表示信号はバッファ回路127を介して信号線119に加えられる。そして1走査期間ごとにサンプルとホールドを繰り返して画

時の波形を示す。(d)はこのICの最終段のシフトレジスタの出力波形であり、破線が理想波形、一点鎖線がシフトレジスタの出力波形、実線が出力バッファ128の出力である。

第10図(b)および(c)に示すように次段へのデータの遅れ時間がほぼクロック周期に等しくこれ以上の高速クロックは無理である。しかし、このクロック周波数では最初の信号線駆動ICが動作していても、次のICへはスタートパルスが遅れるため正常に動作できない。この様子が第10図(d)である。内部出力 Q_n は(a)、(b)同様にまだ動作可能な遅れであるが、次の信号線駆動ICへデータ(次のICのスタートパルスとなる)を送るさいに外部の配線容量を見こんだ出力バッファ128の遅れ時間が加えられるため全体の遅れ時間がクロック周期を超えてしまうのであった。

発明が解決しようとする課題

この結果、次の信号駆動ICはスタートパルスを取り込むことができなくなり画像を表示しなく

なる。はなはだしい時は、1クロック遅れてとりこんでしまい信号線駆動ICの境ごとに縦1ラインの情報が抜けた画面を表示するのであった。

このため大容量のパネルではクロック周波数を下げるため、あらかじめ表示信号をメモリーを使用して時間軸伸張し、かつ画面を横に分割して並列処理を行なうなど、大規模な処理回路を必要としていた。

課題を解決するための手段

本発明は複数の信号線と複数の走査線とを備えた平板表示パネルと、前記信号線を駆動する複数の信号線駆動ICと、複数のまたは単数の走査線駆動ICとを備え、前記信号線駆動ICは表示信号をサンプリングし一走査期間保持する信号線相当数の表示信号保持回路と前記表示信号保持回路のサンプリングパルスを提供する信号線相当数のシフトレジスタとを備え、信号線駆動IC間に前記シフトレジスタのクロック遅延手段を設けたことにより、前記課題を解決しようとするものである。

作用

は通常の液晶パネルにおいて基板ガラスの保護、電極金属の密着性の向上等から設けられる。本発明では信号線駆動ICを実装する前に、あらかじめ電極部201を蒸着、パターンングしたのち絶縁膜204を蒸着し、コンタクトホール202を形成しておくのである。なお、第1図の実施例のようなアクティブマトリクスでは画面領域のTFTと同時にこのコンデンサを形成することが可能で、コストと回路規模面で極めて有利である。また、第1図のようにアクティブマトリクス方式かつ駆動ICを基板実装するパネルに適用すれば部品点数、コスト面で極めて有利である。

第3図に本発明の等価回路を示す。第3図において、点線で囲んだ108は第1図同様に信号線駆動IC108を、点線で囲んだ109は信号線駆動IC109を示す。抵抗205、206、207、208はクロック配線部の等価抵抗を、コンデンサ209は前述の電極部201とクロック配線部114の間のコンデンサである。210は信号線駆動IC108内部のクロック入力バッ

本発明はシフトレジスタの高速化を阻む要因である信号線駆動IC間のスタートパルスの遅れに対応してクロックを遅延することにより、スタートパルスの取りこぼしのない動作を行なおうとするものである。

実施例

本発明の一実施例を第1図に示す。第1図は第8図同様に駆動ICの基板実装に適合した例であり、第8図と同様な動作をするものは同一の番号を付し説明を省略する。第1図において201はグランド配線部115に接続され、クロック配線部114とコンデンサを形成する電極部であり、202は電極部201とグランド電極とのコンタクトホールである。このコンデンサとクロック配線部114の配線抵抗による遅延回路によりクロックパルスをスタートパルスに対応して遅延を行なう。

第1図のA-A'断面を第2図に示す。第2図において、203は基板、204は酸化シリコン等で形成された絶縁膜である。この絶縁膜204

は、211は信号線駆動IC109内部のクロック入力バッファである。信号線駆動IC108と信号線駆動IC109間においてクロック波形は抵抗206と抵抗207およびコンデンサ209にて構成されたLPF(Low Pass Filter)によりクロック波形がなまり、かつ遅れる。

第4図に本発明の波形図を示す。第4図において(a)は駆動IC108の内部クロック波形(第3図の入力バッファ210の出力)、(b)は第10図(b)同様に信号線駆動IC108の一段目のシフトレジスタの出力波形、(c)は第10図(d)同様に信号線駆動IC108の最後のシフトレジスタの出力波形および信号線駆動IC109のスタートパルス入力である。第4図(d)は抵抗206と抵抗207およびコンデンサ209にて構成されたLPFを通過してなまったクロック波形、(e)は第3図の入力バッファ211にて波形整形された信号線駆動IC109の内部クロック、(f)は駆動IC109の一段目のシ

フトレジスタの出力波形である。

次に動作を説明する。第4図(e)に示すようにLPFにより信号線駆動IC108より Δt 遅れた駆動IC109のクロックは第4図(c)の実線で示したスタートパルスを簡らえることができ、信号線駆動IC109は正常に動作する。ただし信号線駆動IC間で Δt のサンプリングずれが生じるが、クロック周期の1/4程度であれば実用上問題はない。そして使用するクロック周波数、駆動ICの特性によってLPFの特性を調整するにはクロック配線部114および電極部201のパターンを変えれば良く、最適設計が可能である。

本発明の別な実施例を第5図に示す。第5図において501、502は信号線駆動IC、503、504はフレキシブル基板、505は液晶パネル基板、506は画面表示部、507はフレキシブル基板の信号線配線部、508はフレキシブル基板の入力配線部、509はスタートパルス配線部、510はグランド配線部、511は電源配線部、512は表示信号配線部、513はクロック

方法はICの段数が多くとも確実に遅延することが可能であるが、使用するクロック周波数によって遅延時間が異なる点について、ICの設計終了後は調整することができない欠点がある。クロック周波数が固定の場合に適している。また、第6図のように信号線駆動IC内部に遅延手段を設けることにより、多段のIC構成であっても確実に動作することが可能となる。

なお、以上液晶パネルを用いた例について説明したが、本発明はEL、プラズマ等の平板表示装置についても適用可能である。また、表示信号がアナログ信号の場合サンプルホールド回路が必要であるが、デジタル信号の場合はラッチ回路で表示信号を保持しても良い。

発明の効果

以上説明したように本発明によれば、従来の信号線駆動ICをより高次のクロック周波数で動作させることが可能となり、大容量の平板表示装置が可能となる。

4. 図面の簡単な説明

配線部、514は入力配線部を形成するプリント基板、515はプリント基板の裏面の導通をとるためのスルーホール、516aと516bは第3図の配線抵抗208に相当する抵抗、517aと517bは第3図の配線抵抗207に相当する抵抗、518aと518bは第3図のコンデンサ209に相当するコンデンサである。

この第5図の例では、信号線駆動ICと液晶パネル基板の接続にフレキシブル基板を用いた例である。入力配線部は通常のプリント基板であるので、一般の抵抗とコンデンサを使用してLPFを形成している。この結果、第1図の実施例と同様な効果が得られる。

本発明の別な実施例を第6図に示す。第6図は第9図同様に信号線駆動ICの内部構成図を示し、同一機能のものは同一番号を付している。第6図の601、602、603はクロックをIC内部で遅延するためのゲートであり、端子114bから次の駆動ICのクロックを供給する。つまり、IC内部でクロック遅延手段を備えている。この

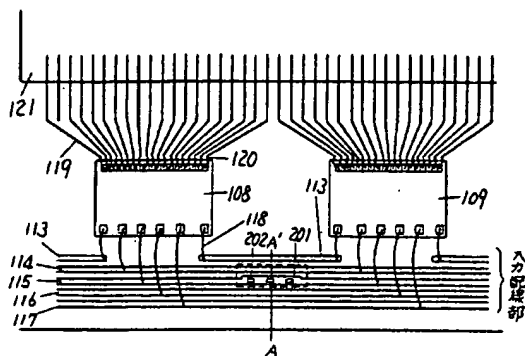
第1図は本発明の一実施例のマトリクス型平板表示装置の構成図、第2図は同装置の一部を示す断面図、第3図は同装置の等価回路図、第4図は同装置の各部の動作波形図、第5図は本発明の第2の実施例のマトリクス型平板表示装置の構成図、第6図は本発明の第3の実施例のマトリクス型平板表示装置の構成図、第7図は液晶パネルの一例の構成図、第8図は従来例のマトリクス型平板表示装置の構成図、第9図は同従来装置の駆動ICの内部構成図、第10図は同従来装置の動作波形図である。

108……信号線駆動IC、109……信号線駆動IC、113……スタートパルス配線部、114……クロック配線部、115……グランド配線部、116……電源配線部、117……表示信号配線部、118……入力ワイヤボンディング、119……信号線、120……出力ワイヤボンディング、121……画面領域、201……コンデンサ電極部、202……コンタクトホール。

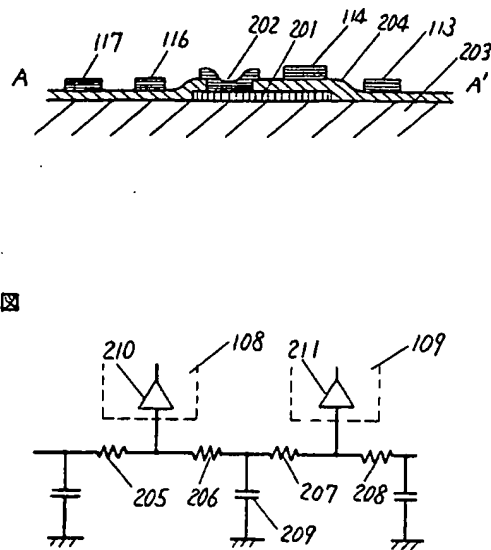
代理人の氏名 弁理士 中尾敏男 ほか1名

第 2 図

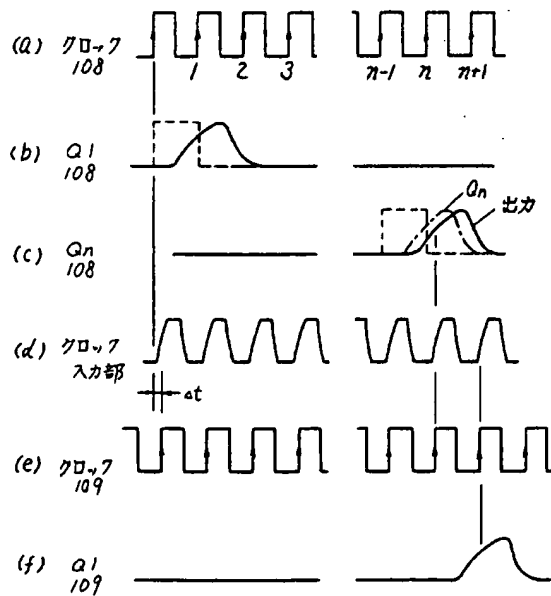
第 1 図



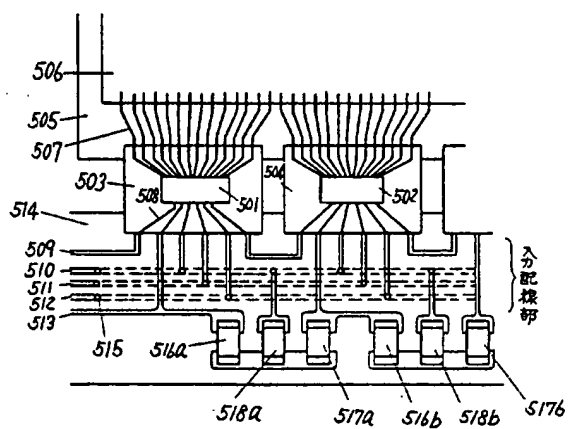
第 3 図



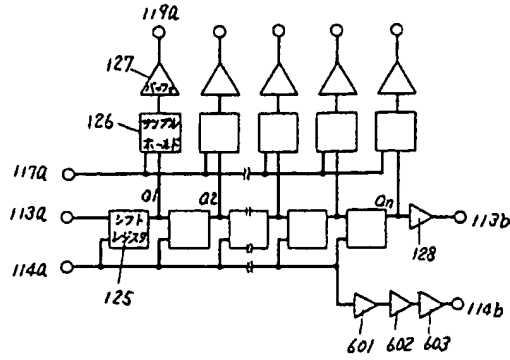
第 4 図



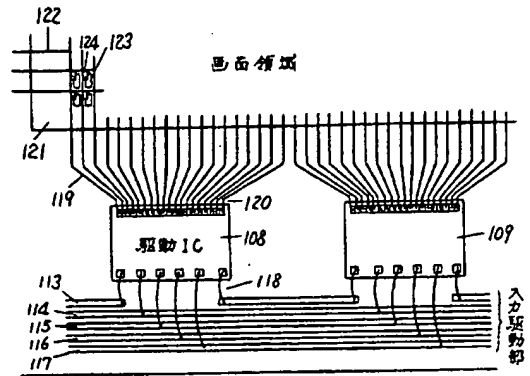
第 5 図



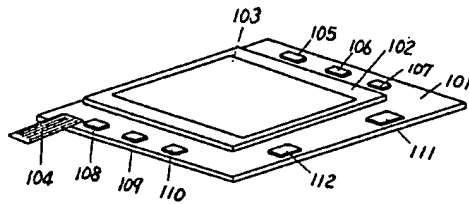
第 6 図



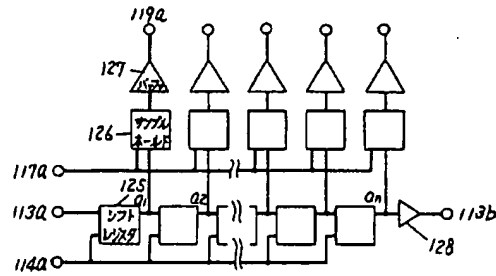
第 8 図



第 7 図



第 9 図



第 10 図

